

Rechnerorganisation im WS 2017/18

7. Übungsblatt

Abgabetermin: 15. Januar, 13:15 Uhr

Prof. Dr. Wolfgang Karl
Haid-und-Neu-Str. 7

Dr.-Ing. Ömer Terlemez
Adenauerring 2, Geb. 50.20

Email: ti@ira.uka.de
Web: <http://ti.ira.uka.de>

Aufgabe 1

(8 Punkte)

1. Erklären Sie den Unterschied zwischen Zugriffszeit und Zykluszeit bei Speicherzugriffen. 2 P.
2. Was passiert beim Auffrischen eines DRAM-Bausteins und wie wird die Ansteuerung dazu durchgeführt? Warum ist das Auffrischen überhaupt notwendig? 2 P.
3. Gegeben ist das Timing-Diagramm eines DRAM-Bausteins (siehe Abbildung 1).
 - i.) Zeichnen Sie die Timing-Parameter in das Timing-Diagramm für Lese-Zugriffe ein, d. h.
 - die Zykluszeit (t_{RC}),
 - die RAS-Zugriffszeit (t_{RAC}),
 - die CAS-Zugriffszeit (t_{CAC}),
 - die RAS-CAS-Delay (t_{RCD})
 - die RAS-Precharge-Time (t_{RP})
 - ii.) Welche der oben genannten Timing-Parameter fallen bei einem FPM-DRAM (FPM: *fast page mode*) weg? Begründen Sie Ihre Antwort. 2 P.

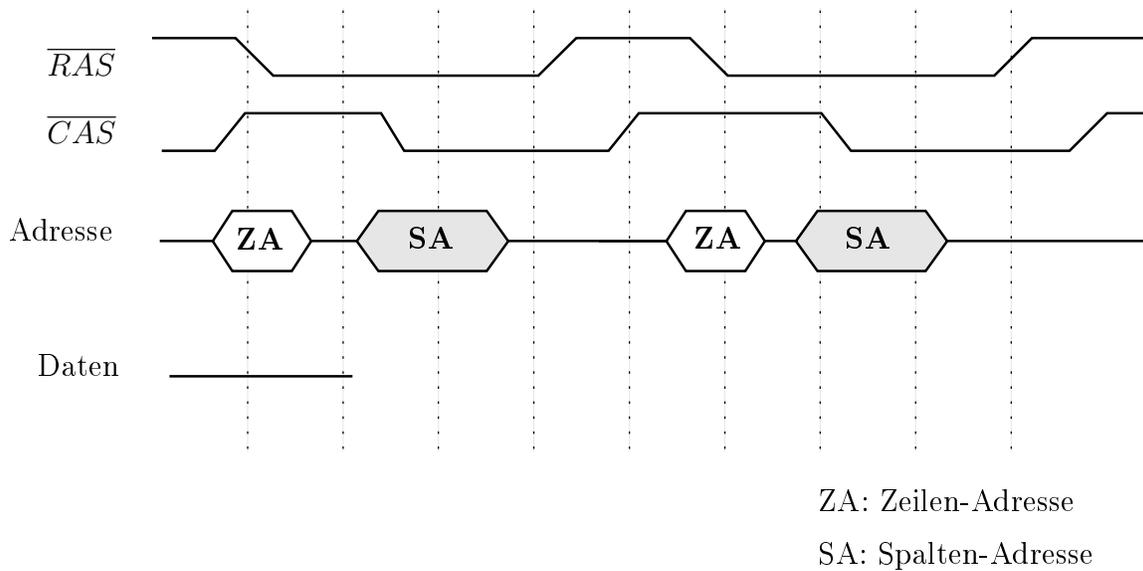


Abbildung 1: Timing-Diagramm eines DRAM-Bausteins

Aufgabe 2

(8 Punkte)

1. Ein $64\text{K} \times 1$ Speicher-Baustein besitzt eine quadratische Speichermatrix. Der höchstwertige Teil einer Adresse ist auf einen Spalten-Auswahl-Dekoder, der niederwertige Teil der Adresse auf einen Zeilen-Auswahl-Dekoder geschaltet. 2 P.

An welcher Stelle in der Speichermatrix befindet sich das Speicherelement (1-Bit-Speicherzelle) mit der Adresse $AFFE_{16}$?

2. Auf einem quadratischen Silizium-Chip ist ein Speicher mit wahlfreiem Zugriff (*Random Access Memory = RAM*) unterzubringen. Die Speicherkapazität soll

$$N = 2^{s+z} = 4096 \times 1 \text{ bit}$$

betragen, d. h. bei Anlegen der Adressen soll 1 Bit selektiert werden.

- i.) Zeichnen Sie die „grobe“ Organisation dieses RAM-Speicherbausteins. 2 P.
- ii.) Wieviele Zeilen Z und wieviele Spalten S würden Sie zweckmäßigerweise für die Speichermatrix wählen? 2 P.
- iii.) Wie viele Bits z enthält dann die Zeilenadresse und wie viele Bits s hat die Spaltenadresse? 2 P.

Aufgabe 3

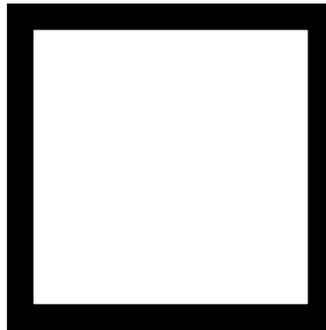
(11 Punkte)

1. Wodurch ist die maximale Kapazität des Hauptspeichers begrenzt? Geben Sie hierfür ein Beispiel für die limitierende Komponente und den damit verbundenen maximalen Speichergröße an. 1 P.
2. Gehen Sie von einem modularen Speicheraufbau aus. Dabei sei der Hauptspeicher auf mehrere Steckkarten verteilt. Wie werden diese anhand der abgerufenen Speicheradresse angesteuert? Geben Sie hierfür die Unterteilung der Speicheradresse an. 2 P.
3. Geben Sie fünf verschiedene Arten von Übertragungen an, die über Busse laufen. 5 P.
4. Was beschreibt eine Busspezifikation? 3 P.

Vorlesung Rechnerorganisation Wintersemester 2017/18

- Übungsblatt 7 -

Tutoriumsnummer



Name, Vorname: _____

Matrikelnummer: _____

Studiengang: _____

Name des Tutors: _____

/27 Punkte